

#2 | priority
paper
12-4-00
R. J. J. J.

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshiyuki TAKEMORI et al.**

Serial No.: **Not Yet Assigned**

Filed: **September 12, 2000**

For: **TRANSISTOR AND METHOD OF MANUFACTURING THE SAME**

JC903 U.S. PTO
09/660439
09/12/00

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

September 12, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

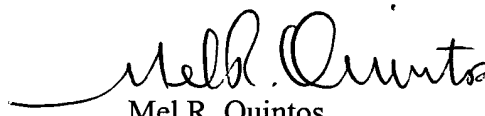
Japanese Appln. No. 11-258687, filed on September 13, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON


Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 001155
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/yap

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 9 月 1 3 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 5 8 6 8 7 号

出 願 人

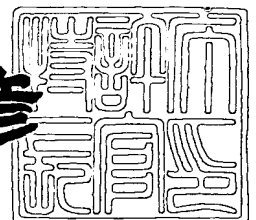
Applicant (s):

新電元工業株式会社

2 0 0 0 年 6 月 2 3 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 4 8 7 4 2

【書類名】 特許願
【整理番号】 99-1168
【提出日】 平成11年 9月13日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社飯能工場内

【氏名】 竹森 俊之

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社飯能工場内

【氏名】 渡辺 祐司

【特許出願人】

【識別番号】 000002037

【住所又は居所】 東京都千代田区大手町二丁目 2 番 1 号

【氏名又は名称】 新電元工業株式会社

【代表者】 高崎 泰明

【代理人】

【識別番号】 100102875

【住所又は居所】 東京都港区虎ノ門 1 丁目 2 番 1 8 号 虎ノ門興業ビル 3 階

【弁理士】

【氏名又は名称】 石島 茂男

【電話番号】 03-3592-8691

【選任した代理人】

【識別番号】 100106666

【住所又は居所】 東京都港区虎ノ門 1 丁目 2 番 1 8 号 虎ノ門興業ビル 3 階

【弁理士】

【氏名又は名称】 阿部 英樹

【電話番号】 03-3592-8691

【手数料の表示】

【予納台帳番号】 040051

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トランジスタ

【特許請求の範囲】

【請求項 1】 第 1 導電型のドレイン層と、前記ドレイン層上に配置され、前記第 1 導電型とは異なる導電型である第 2 導電型の反対導電領域とを有する半導体基板と、

前記半導体基板の前記反対導電領域側から形成され、前記ドレイン層に達する溝と、

前記反対導電領域内に形成され、前記溝の内周面に露出する第 1 導電型のソース領域と、

前記溝の内周面に形成され、前記ドレイン層と前記反対導電領域と前記ソース領域とに亘って配置されたゲート絶縁膜と、

前記ゲート絶縁膜に密着して配置されたゲート電極膜と、

前記ゲート電極膜とは絶縁して配置され、少なくとも前記ソース領域の前記溝内周面に露出する部分と接触したソース電極膜とを有するトランジスタ。

【請求項 2】 前記溝内部の前記ゲート電極膜とソース電極膜との間には前記ゲート絶縁膜よりも厚い絶縁膜が配置された請求項 1 記載のトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はトランジスタに関し、特に、電源回路等に多用されるパワー MOSFET に関する。

【0002】

【従来の技術】

図 17(a)、(b)の符号 101 に、従来のトレンチ型パワー MOSFET を示す。図 17(b)は、図 17(a)の C-C 線断面図である。

【0003】

このパワー MOSFET 101 は、図 17(b)に示すように、 N^+ 型シリコン基板 111 上に、 N^- 型エピタキシャル層からなるドレイン層 112 と、P 型ボ

ディ領域 1 1 5 とが順次形成されてなる半導体基板 1 0 5 と、複数のセル 1 0 3 とを有している。ここでは、半導体基板 1 0 5 の表面に、矩形形状のセル 1 0 3 が複数千鳥格子状に配置されている。図 1 7 (a) には、6 個のセル 1 0 3₁ ~ 1 0 3₆ が示されており、後述するソース電極膜は省略した。

【0 0 0 4】

各セル 1 0 3 においては、図 1 7 (b) に示すように、P 型ボディ領域 1 1 5 に、底部がドレイン層 1 1 2 まで達する断面が矩形の溝 1 1 8 が形成されており、隣接する溝 1 1 8 の間の位置には、P 型ボディ領域 1 1 5 の表面から所定深さに P⁺ 型拡散領域 1 2 4 が形成されている。P⁺ 型拡散領域 1 2 4 の周囲であって、溝の開口周辺には、P 型ボディ領域 1 1 5 の表面からドレイン層 1 1 2 に達しない程度の深さまで、N⁺ 型のソース領域 1 2 7 が形成されている。

【0 0 0 5】

他方、溝 1 1 8 の内周面及び底面にはゲート絶縁膜 1 1 9 が形成されており、ゲート絶縁膜 1 1 9 の表面には、溝 1 1 8 内部を充填し、その上端がソース領域 1 2 7 の下端よりも上部に位置するようにポリシリコンゲート 1 3 0 が形成されている。

【0 0 0 6】

ポリシリコンゲート 1 3 0 の上部には、P S G (Phoso-Silicate Glass) 膜 1 2 8 が形成され、P S G 膜 1 2 8 と半導体基板 1 0 5 の表面とを被覆するように A 1 からなるソース電極膜 1 2 9 が形成されている。ポリシリコンゲート 1 3 0 とソース電極膜 1 2 9 とは、P S G 膜 1 2 8 によって電氣的に絶縁されるようにされている。

【0 0 0 7】

このような構造のパワー M O S F E T 1 0 1 では、ソース電極膜 1 2 9 とドレイン層 1 1 2 との間に高電圧を印加した状態で、ポリシリコンゲート 1 3 0 とソース領域 1 2 7 との間に閾値電圧以上の電圧を印加すると、ゲート酸化膜 1 1 9 と P 型ボディ領域の界面に反転層が形成され、その反転層を通過してドレインからソースに電流が流れる。

【0 0 0 8】

上述した構造のパワーMOSFET 1 0 1では、ソース電極膜 1 2 9と各ソース領域 1 2 7とを、ソース領域 1 2 7の表面で直接接触させるため、P S G膜 1 2 8をフォトリソグラフィ法によってパターニングする必要がある。このような形成方法ではP S G膜 1 2 8が位置ズレすることがあるため、多少の位置ズレが生じても確実にソース電極膜 1 2 9とポリシリコンゲート 1 3 0との絶縁をするように、半導体基板 1 0 5表面でのP S G膜 1 2 8は、その占有面積に余裕をもって大きめにとっている。

そのため、結果的に溝 1 1 8上のみならず、その開口周辺までP S G膜 1 2 8が形成されることになる。

【0 0 0 9】

従って、溝 1 1 8の開口周辺に形成されたソース領域 1 2 7の一部は、P S G膜 1 2 8の下部に位置することになり、ソース電極膜 1 2 9とソース領域 1 2 7との間で十分低抵抗のコンタクトをとるためには、半導体基板表面のソース領域 1 2 7の露出面積を予め大きくしておく必要がある。これにより、半導体基板 1 0 5表面におけるソース領域 1 2 7の占有面積をある限度以上縮小することができないので、素子の微細化の妨げになっていた。

【0 0 1 0】

【発明が解決しようとする課題】

本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、基板上に形成されるセルの形成面積を小さくして、素子の縮小化が可能となる技術を提供することにある。

【0 0 1 1】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明はトランジスタであって、第 1 導電型のドレイン層と、前記ドレイン層上に配置され、前記第 1 導電型とは異なる導電型である第 2 導電型の反対導電領域とを有する半導体基板と、前記半導体基板の前記反対導電領域側から形成され、前記ドレイン層に達する溝と、前記反対導電領域内に形成され、前記溝の内周面に露出する第 1 導電型のソース領域と、前記溝の内周面に形成され、前記ドレイン層と前記反対導電領域と前記ソー

ス領域とに亘って配置されたゲート絶縁膜と、前記ゲート絶縁膜に密着して配置されたゲート電極膜と、前記ゲート電極膜とは絶縁して配置され、少なくとも前記ソース領域の前記溝内周面に露出する部分と接触したソース電極膜とを有する。

請求項 2 記載の発明は、請求項 1 記載のトランジスタであって、前記溝内部の前記ゲート電極膜とソース電極膜との間には前記ゲート絶縁膜よりも厚い絶縁膜が配置されたことを特徴とする。

【0012】

従来のトランジスタでは、ソース領域は半導体基板の表面で露出しており、露出した表面でソース電極と直接接触する構造になっていたため、所定の導通抵抗を確保するには、ソース電極とソース領域の接触面積を大きくすべく、基板表面でのソース領域の占有面積をある程度大きくしなければならなかった。

【0013】

これに対し、本発明のトランジスタによれば、ソース電極膜は、少なくともソース領域の溝内周面に露出する部分でソース領域と直接接触しているので、半導体基板表面におけるソース領域の占有面積を従来に比して小さくしても、溝内周面で露出するソース領域の面積を大きくとることで、ソース領域とソース電極膜との接触面積を従来と同程度の大きさにすることができる。

【0014】

従って、従来と同様に、ソース領域とソース電極膜との間で十分低抵抗なソースコンタクトをとることができ、半導体基板表面におけるソース領域の占有面積を従来に比して小さくすることで、素子サイズを縮小化することができる。

【0015】

【発明の実施の形態】

以下で図面を参照し、本発明の実施の形態について説明する。

図 1 (a)、(b) の符号 1 に、本発明の実施形態のトレンチ型パワー MOS FET を示す。図 1 (b) は、図 1 (a) の A - A 線断面図である。

【0016】

このパワー MOS FET 1 は、図 1 (b) に示すように、 N^+ 型のシリコン基板

1 1 上に、N⁻型エピタキシャル層からなるドレイン層 1 2 と、P 型ボディ領域 1 5 とが順次形成されてなる半導体基板 5 を有している。半導体基板 5 の表面には、図 1 (a) に示すように、複数のセル 3 が格子状に配置されている。図 1 (a) には、6 個のセル 3₁ ~ 3₆ が示されており、後述するソース電極膜は省略した。

【0 0 1 7】

各セル 3 内の P 型ボディ領域 1 5 には、図 1 (b) に示すように、底部がドレイン層 1 2 まで達する溝 1 8 が形成されており、隣接する溝 1 8 の間のほぼ中央位置には、P 型ボディ領域 1 5 の表面から、ドレイン層 1 2 に達しない程度の深さまで P⁺ 型拡散領域 2 4 が形成されており、P⁺ 型拡散領域 2 4 の周囲で、溝 1 8 の周辺には、P 型ボディ領域 1 5 の表面からドレイン層 1 2 に達しない程度の深さまで、N⁺ 型のソース領域 2 7 が形成されている。

【0 0 1 8】

他方、溝 1 8 の内部にはポリシリコンゲート 3 0 が充填され、ポリシリコンゲート 3 0 の上端はソース領域 2 7 の下端よりも上部に位置するようにされている。ポリシリコンゲート 3 0 と溝 1 8 の内周面及び底面との間には、ゲート絶縁膜 1 9 が形成されている。

【0 0 1 9】

このような構造のパワー MOS FET 1 では、ソース電極膜 2 9 とドレイン層 1 2 との間に高電圧を印加した状態で、ポリシリコンゲート 3 0 とソース領域 2 7 との間に閾値電圧以上の電圧を印加すると、ゲート絶縁膜 1 9 と P 型ボディ領域 1 5 の界面に反転層が形成され、その反転層を通してドレインからソースに電流が流れる。

【0 0 2 0】

なお、本実施形態では、N 型を第 1 導電型とし、P 型を第 2 導電型としており、P 型ボディ領域 1 5 と、P⁺ 型拡散領域 2 4 とで、本発明の反対導電領域の一例を構成している。

【0 0 2 1】

以下で、図 2 (a) 乃至図 8 (u) を参照しながら、シリコン基板 1 1 上に、個々のセル 3₁ ~ 3₆ を形成する工程について説明する。なお、図 8 (u) は、図 1 の B

—B線断面図を示している。

【0022】

まず、抵抗率が $3 \times 10^{-3} \Omega \cdot \text{cm}$ の N^+ シリコン基板11の表面上に、厚み4～5 μm で抵抗率が $0.3 \Omega \cdot \text{cm}$ の N^- 型エピタキシャル層からなるドレイン層12を形成する(図2(a))。

【0023】

次に、熱酸化処理をし、ドレイン層12の全表面に SiO_2 膜13を成膜する(図2(b))。その SiO_2 膜13を介してドレイン層12内部にボロンイオン(B^+)を注入すると、ドレイン層12内部の表面近くに p^+ 型注入層14が形成される(図2(c))。

次いで、熱処理すると p^+ 型注入層14がドレイン層12内で拡散し、ドレイン層12の表面から2 μm の深さまでP型ボディ領域15が形成される(図3(d))。

【0024】

次に、CVD法で SiO_2 膜13上に厚い SiO_2 膜16を成膜し(図3(e))、その SiO_2 膜16の表面に、パターンニングしたレジスト膜(図示せず)を形成した後に、そのレジスト膜をマスクにして SiO_2 膜16、13をエッチング・除去すると、 SiO_2 膜16、13に開口17が形成され、開口17の底面でP型ボディ領域15の表面の一部が露出する(図3(f))。

【0025】

次いで、レジスト膜を除去し、開口17が形成された SiO_2 膜16、13をマスクにして、反応性イオンエッチング等の異方性エッチングを行う。するとP型ボディ領域15がエッチングされ、開口17が形成された領域のP型ボディ領域15に、P型ボディ領域15を貫通してドレイン層12まで達し、幅が0.6 μm 程度で断面が矩形の溝18が形成される(図4(g))。この溝18の深さはP型ボディ領域15の厚みよりも大きく、その底面は、ドレイン層12の上端より下方に位置するようになっている。

【0026】

この状態では溝18内部はシリコンが露出しており、 SiO_2 膜16、13を除去

し(図4(h))、P型ボディ領域15の表面を露出させた後、熱酸化処理を行うと、シリコン酸化膜からなるゲート絶縁膜19が全面に成膜される(図4(i))。ここではゲート絶縁膜19は膜厚500Åに形成した。

【0027】

次いで、CVD法によってゲート絶縁膜19上にリンをドーブしたポリシリコン薄膜を形成すると、溝18内部は、形成されたポリシリコン薄膜20で充填される。(図5(j))。

次に、ポリシリコン薄膜のエッチングを所定時間行い、半導体基板上のポリシリコン薄膜20を除去すると共に、溝18内にはポリシリコン薄膜20が残った状態にする。ここでは、半導体基板表面上のポリシリコン薄膜が完全に除去されてもエッチングを終了させず、溝18内に残存するポリシリコン薄膜20の表面もエッチングする。以下では溝18内に残存したポリシリコン層をポリシリコンゲートと称し、符号30に示す(図5(k))。このポリシリコンゲート30はゲート絶縁膜19と密着して形成されており、下端がドレイン層12の表面よりも下方に位置している。

【0028】

この状態では、半導体基板表面と溝18の上部にはゲート絶縁膜19が露出しており、ゲート絶縁膜19をエッチングすると、半導体基板の表面と溝18上部の内周面が露出する(図5(l))。

【0029】

次に、熱酸化処理を行うと、半導体基板のシリコンが露出した部分及び溝18内に露出するポリシリコンゲート30が酸化され、キャップ酸化膜21が全面成膜される(図6(m))。

【0030】

次に、半導体基板表面にパターニングしたレジスト膜22を形成し、溝18の上部をそのレジスト膜22で保護した状態でボロンイオンを注入すると、P型ボディ領域表面にP型注入層23が形成される(図6(n))。

【0031】

次にレジスト膜22を除去し、熱処理するとP⁺型注入層23がP型ボディ領

域 1 5 内で拡散し、P 型ボディ領域 1 5 の表面から、 $1\ \mu\text{m}$ 程度の深さに P^+ 型拡散領域 2 4 が形成される(図 6 (o))。

【0 0 3 2】

次いで、溝 1 8 及びその周辺の領域に開口が設けられたレジスト膜 2 5 をキャップ酸化膜 2 1 上に形成する(図 7 (p))。このレジスト膜 2 5 をマスクにして、レジスト膜 2 5 の開口を介してリンイオン(P^+)を注入すると、リンイオン(P^+)は P 型ボディ領域 1 5 内部に注入され、P 型ボディ領域 1 5 の表面近くに N^+ 型注入層 2 6 が形成される(図 7 (q))。

【0 0 3 3】

その後加熱処理をすると、 N^+ 型注入層 2 6 が拡散し、溝 1 8 周辺の P 型ボディ領域 1 5 の表面から深さ方向に N^+ 型不純物拡散層からなるソース領域 2 7 が形成される。このソース領域 2 7 は、溝 1 8 の内周面に接する部分の下端が、ゲート絶縁膜 1 9 の上端及びポリシリコンゲート 3 0 の上端より下方に位置するようになっている。

【0 0 3 4】

すなわち、ゲート絶縁膜 1 9 及びポリシリコンゲート 3 0 の上端は、溝 1 8 内周面側のソース領域 2 7 の下端よりも上方に位置し、下端は上述したようにドレイン層 1 2 の上端よりも下方に位置するようになっている。

【0 0 3 5】

従って、ゲート絶縁膜 1 9 及びポリシリコンゲート 3 0 は、図 7 (r) に示すように、溝 1 8 の内周面で、ドレイン層 1 2 と P 型ボディ領域 1 5 とソース領域 2 7 とに亘って配置されることになる。

【0 0 3 6】

次に、CVD 法により、キャップ酸化膜 2 1 上に、PSG 膜からなる絶縁膜 2 8 を基板表面から溝 1 8 の内部に亘って形成する(図 8 (s))。

次いで、絶縁膜 2 8 及びキャップ酸化膜 2 1 のエッチングを所定時間行い、P 型ボディ領域 1 5 上の絶縁膜 2 8 及びキャップ酸化膜 2 1 を除去すると共に、溝 1 8 の開口近くに形成された絶縁膜 2 8 及びキャップ酸化膜 2 1 を除去すると、半導体基板表面と溝 1 8 上部の内周面が露出する(図 8 (t))。

その後、A 1 薄膜を蒸着法で全面に形成すると、ソース電極膜 2 9 が形成される(図 8 (u))。以上の工程を経て、セル 3 が形成される。

【0 0 3 7】

以上説明した本実施形態のパワー MOS F E T 1 では、各セル 3 においてソース電極膜 2 9 とソース領域 2 7 とは、半導体基板 5 の表面 5 1 と、溝 1 8 の内周面 5 2 とで直接接触しており、互いに電氣的に接続されている。

【0 0 3 8】

このため、半導体基板 5 上にソース領域 2 7 の形成面積を小さくしても、溝 1 8 の内周面 5 2 で露出するソース領域 2 7 の面積を大きくすることで、ソース領域 2 7 とソース電極膜 2 9 との接触面積を大きくとることができる。

【0 0 3 9】

従って、従来のように十分低抵抗のソースコンタクトを確保するため、各ソース領域 2 7 の占有面積を大きくする必要がないので、従来に比してソース領域 2 7 の占有面積を小さくして、素子サイズを縮小化することが可能になる。

【0 0 4 0】

従来構造では、半導体基板 5 の表面におけるソース領域 2 7 の幅 Δw を $1 \mu m$ 程度までしか狭めることができなかったが、本実施形態の構造では、ソース領域 2 7 の幅 Δw を $0.5 \mu m$ 以下まで狭めることができることが本発明の発明者等によって確認された。

【0 0 4 1】

これにより、本実施形態のパワー MOS F E T 1 では、1 個のセルについてソース領域 2 7 の幅 Δw を 5 0 % 以上縮小することができ、占有面積も大幅に縮小することができる。

【0 0 4 2】

一例として、 P^+ 型拡散領域 2 4 の幅を $1 \mu m$ とし、従来のソース領域の幅 Δw を $1.3 \mu m$ とした場合には、従来構造におけるソース領域の占有面積は、 $(1 + 1.3 \times 2)^2 - 1^2 = 11.96 (\mu m^2)$ であった。これに対し、本発明の P^+ 型拡散領域 2 4 の幅を従来と同じ $1 \mu m$ とし、ソース領域の幅を $0.5 \mu m$ とすると、本発明の構造におけるソース領域の占有面積は、 $(1 + 0.5 \times 2)^2 -$

$1^2 = 3 (\mu m^2)$ となり、この場合には面積比で 75% も面積を縮小することができる。従って、パワー MOSFET 全体で、大幅に形成面積を縮小することができる。

【0043】

以上のようにして、溝 18 の内周面 52 でソース電極膜 29 とソース領域 27 とのコンタクトをとるセル 3 を得ることができるが、かかるセルは、以下で説明する工程でも製造することができる。

【0044】

まず、図 2(a)～図 5(k) で説明した工程を経て、溝 18 内にポリシリコンゲート 30 を形成する。図 5(k) の工程に引き続いて、フォトリソグラフィ法で、溝 18 上部及びその周辺を被覆するようにレジスト膜 31 を形成し(図 10(l))、これをマスクにしてボロンイオン (B^+) を P 型ボディ領域 15 に注入すると、P 型ボディ領域 15 の表面に P^+ 型注入層 23 が形成される(図 10(m))。

【0045】

次いでレジスト膜 31 を除去し、熱処理すると、 P^+ 型注入層 23 が P 型ボディ領域 15 内で熱拡散して、P 型ボディ領域 15 の表面から、ドレイン領域 12 にまで達しない程度の深さまで P^+ 型拡散領域 24 が形成される(図 10(n))。

【0046】

次に、パターニングしたレジスト膜 34 をゲート絶縁膜 19 上に形成する(図 11(o))。レジスト膜 34 で溝 18 及びその周辺以外の領域を被覆した状態で、リンイオン (P^+) をゲート絶縁膜 19 を介して P 型ボディ領域 15 に注入し、溝 18 周辺の P 型ボディ領域 15 の表面に N^+ 型注入層 26 を形成する(図 11(p))。

【0047】

次いでレジスト膜 34 を除去し、熱処理を行うと、 N^+ 型注入層 26 が P 型ボディ領域 15 内で拡散され、溝 18 周辺の P 型ボディ領域 15 の表面から深さ方向に N^+ 型不純物拡散層からなるソース領域 27 が形成される。このソース領域 27 は、溝 18 の内周面側の下端が、ポリシリコンゲート 30 の上端より下方に位置するようにされている(図 11(q))。

【0048】

この状態では、半導体基板表面と溝 1 8 の上部ではゲート絶縁膜 1 9 が露出しており、ゲート絶縁膜 1 9 をエッチング・除去すると、半導体基板の表面と溝 1 8 上部の内周面が露出する(図 1 2 (r))。

【0049】

次いで、CVD法により、溝 1 8 から露出するポリシリコンゲート 3 0 の表面と、溝 1 8 の内周面と、P型ボディ領域 1 5 の表面とに、PSG膜からなる絶縁膜 2 8 を成膜し、溝 1 8 を絶縁膜 2 8 で充填させる(図 1 2 (s))。

【0050】

次に、絶縁膜 2 8 のエッチングを所定時間行い、半導体基板上の絶縁膜 2 8 を除去すると共に、溝 1 8 に残存する絶縁膜 2 8 の表面もエッチングする(図 1 2 (t))。

その後、A 1 薄膜を蒸着法で全面に形成すると、ソース電極膜 2 9 が形成される(図 1 3 (u))。

【0051】

こうして形成されたセルにおいても、ソース電極膜 2 9 がソース領域 2 7 の表面と、溝 1 8 内周面で露出する側面とに直接接触しており、この接触部分でソース電極膜 2 9 と電氣的に接続されている。このため、半導体基板 5 表面でのソース領域 2 7 の占有面積を小さくしても所定の導通抵抗を確保することができるので、従来に比してソース領域 2 7 の占有面積を縮小し、素子サイズを小さくすることができる。

【0052】

また、溝 1 8 の内周面 5 2 でソース電極膜 2 9 とソース領域 2 7 とのコンタクトをとるセルは、IGBT(Insulated gate bipolar mode transistor)にも適用可能である。

【0053】

かかるセル構造のIGBTを得るには、まずP⁺型シリコン基板 6 1 を用意し、P⁺型シリコン基板 6 1 の表面に、厚み 5 0 ~ 6 0 μ m で抵抗率が 2 5 $\Omega \cdot \text{cm}$ のN⁻型エピタキシャル層 1 2 を形成する(図 1 4 (a))。

【0054】

その後、図2(b)乃至図8(u)の工程を経た後、 P^+ 型シリコン基板61の裏面に基板31とオーミックコンタクトをとる金属膜70を形成することにより、図14(b)に示す構造のIGBT4が形成される。このIGBT4は、ソース領域27、 P^+ 型シリコン基板61、ポリシリコンゲート30がそれぞれエミッタ、コレクタ、ゲートとして動作する。

【0055】

さらに、かかるセルの構造は、ショットキーバリア型IGBTにも適用可能である。

ショットキーバリア型IGBTを得るには、まず N^- 型シリコン基板71を用意し(図15(a))、 N^- 型シリコン基板71の表面側を、図2(b)乃至図8(u)の工程によって処理することで、図15(b)に示す構造を得る。その後、 N^- 型シリコン基板71の裏面を削って薄くし(図15(c))、 N^- 型シリコン基板71とショットキーコンタクトをとる金属膜80を基板71の裏面に形成することで、図15(d)に示す構造のショットキーバリア型IGBT5を得ることができる。このショットキーバリア型IGBT5は、ソース領域27、 N^- 型シリコン基板71、ポリシリコンゲート30がそれぞれエミッタ、コレクタ、ゲートとして動作する。

【0056】

また、図15(b)の構造における N^- 型シリコン基板71の裏面に、 P^+ 型拡散領域92と N^+ 型拡散領域93が形成され、かつ N^- 型シリコン基板71の裏面全面に金属膜からなる裏面電極94が形成されて成る構造のIGBT6としてもよい(図16(a))。

【0057】

さらに、図16(b)に示すように、表面に図8(u)の構造のトランジスタ P_1 が形成された N^- 型シリコン基板71の裏面に、トランジスタ P_1 と全く同じ構成のトランジスタ P_2 が形成されて成る双方向導通スイッチ7の構造としてもよい。なお図16(b)中で、符号15b、19b、24b、27b、28b、29bは、それぞれ符号15a、19a、24a、27a、28a、29aに対応して

おり、互いに同じものである。

【 0 0 5 8 】

また、上述した実施形態では、パワー MOS F E T 1、 I G B T 4、 6、 ショットキーバリア型 I G B T 5、 双方向導通スイッチ 7 について説明したが、本発明のトランジスタは、これらの全てを含むものである。

【 0 0 5 9 】

なお、上述した実施形態において、セル $3_1 \sim 3_6$ の配置は、図 1 (a) に示すような格子状の配置に限られるものではなく、例えば図 9 に示すように、千鳥格子状の配置としてもよい。

【 0 0 6 0 】

また、上述したように本実施形態では、N 型を第 1 導電型とし、P 型を第 2 導電型としているが、本発明はこれに限らず、P 型を第 1 導電型とし、N 型を第 2 導電型としてもよい。

さらに、絶縁膜 2 8 として P S G 膜を用いているが、本発明の絶縁膜はこれに限られるものではなく、例えばシリコン窒化膜を用いてもよい。

【 0 0 6 1 】

また、ソース電極膜 2 9 として A 1 膜を用いているが、本発明はこれに限らず、例えば銅膜などを用いてもよい。

さらに、ドレイン層 1 2 をエピタキシャル成長で形成しているが、本発明のドレイン層 1 2 の形成方法はこれに限らず、表面拡散で形成してもよい。

【 0 0 6 2 】

また、図 1 (a) に示すようにセル $3_1 \sim 3_6$ の形状を矩形としているが、本発明のセルの形状はこれに限られるものではなく、例えば円形のセルとしてもよい。

さらに、上述のセルの形成工程においては、溝 2 9 を形成した後に、P 型ボディ領域 1 5 の表面にソース領域 2 7 を形成しているが、本発明はこれに限られるものではなく、P 型ボディ領域 1 5 の表面にソース領域 2 7 を予め形成しておいた後に、溝 2 9 を形成するようにしてもよい。

【 0 0 6 3 】

また、上述の実施形態ではいずれも半導体基板としてシリコン基板を用いてい

るが、本発明の半導体基板はこれに限らず、例えばS i C等の基板に適用してもよい。

【0064】

さらに、ゲート電極としてポリシリコンゲートを用いているが、本発明のゲート電極はこれに限らず、メタルゲートに適用してもよい。

また、上述の実施形態ではセル構造のトランジスタについて説明しているが、本発明はこれに限らず、ストライプ構造のトランジスタに適用してもよい。

さらに、ゲート絶縁膜19としてシリコン酸化膜を用いたが、本発明のゲート絶縁膜19はこれに限らず、例えばシリコン窒化膜を用いてもよいし、シリコン酸化膜とシリコン窒化膜との複合膜を用いてもよい。

【0065】

【発明の効果】

半導体基板表面におけるソース領域の占有面積を小さくして、素子の縮小化を図ることができる。

【図面の簡単な説明】

【図1】(a)：本発明の一実施形態のパワーM O S F E Tのセルの配置を説明する平面図

(b)：本発明の一実施形態のパワーM O S F E Tを説明する断面図

【図2】(a)：本発明の一実施形態のセルの形成工程を説明する断面図

(b)：その続きの工程を説明する断面図

(c)：その続きの工程を説明する断面図

【図3】(d)：その続きの工程を説明する断面図

(e)：その続きの工程を説明する断面図

(f)：その続きの工程を説明する断面図

【図4】(g)：その続きの工程を説明する断面図

(h)：その続きの工程を説明する断面図

(i)：その続きの工程を説明する断面図

【図5】(j)：その続きの工程を説明する断面図

(k)：その続きの工程を説明する断面図

(l) : その続きの工程を説明する断面図

【図 6】 (m) : その続きの工程を説明する断面図

(n) : その続きの工程を説明する断面図

(o) : その続きの工程を説明する断面図

【図 7】 (p) : その続きの工程を説明する断面図

(q) : その続きの工程を説明する断面図

(r) : その続きの工程を説明する断面図

【図 8】 (s) : その続きの工程を説明する断面図

(t) : その続きの工程を説明する断面図

(u) : その続きの工程を説明する断面図

【図 9】 本発明の実施形態のセルの別の配置を説明する平面図

【図 1 0】 (l) : 本発明のセルの別の形成工程を説明する断面図

(m) : その続きの工程を説明する断面図

(n) : その続きの工程を説明する断面図

【図 1 1】 (o) : その続きの工程を説明する断面図

(p) : その続きの工程を説明する断面図

(q) : その続きの工程を説明する断面図

【図 1 2】 (r) : その続きの工程を説明する断面図

(s) : その続きの工程を説明する断面図

(t) : その続きの工程を説明する断面図

【図 1 3】 (u) : その続きの工程を説明する断面図

【図 1 4】 (a) : 本発明の実施形態の I G B T の製造に用いられる基板を説明する断面図

(b) : 本発明の実施形態の I G B T のセルの構造を説明する断面図

【図 1 5】 (a) : 本発明の実施形態の他の I G B T の製造に用いられる基板を説明する断面図

(b) : 本発明の実施形態の他の I G B T の製造工程を説明する断面図

(c) : その続きの工程を説明する断面図

(d) : その続きの工程を説明する断面図

【図 1 6】(a) : 本発明の実施形態のその他の I G B T のセル構造を説明する断面図

(b) : 本発明の実施形態における双方向導通スイッチのセル構造を説明する断面図

【図 1 7】(a) : 従来のパワー M O S F E T のセルの配置を説明する平面図

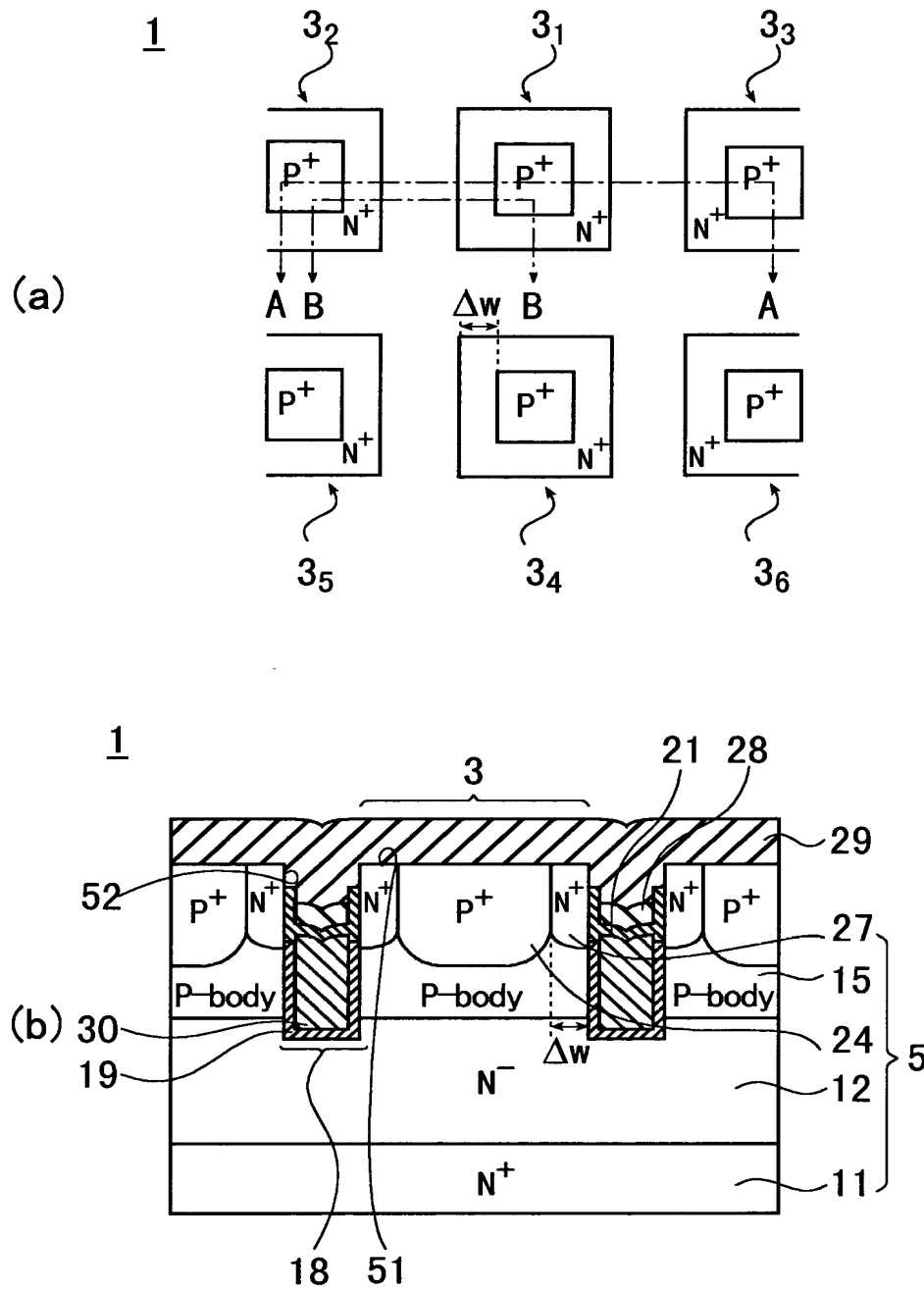
(b) : 従来のパワー M O S F E T を説明する断面図

【符号の説明】

1 ……パワー M O S F E T (トランジスタ)	1 1 ……シリコン基板	1 2 ……ドレイン層
1 5 ……P 型ボディ領域	1 9 ……ゲート絶縁膜	2 7 ……ソース領域
2 8 ……絶縁膜	3 0 ……ポリシリコンゲート (ゲート電極膜)	

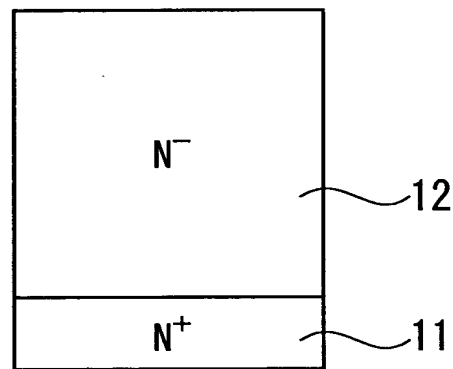
【書類名】 図面

【図 1】

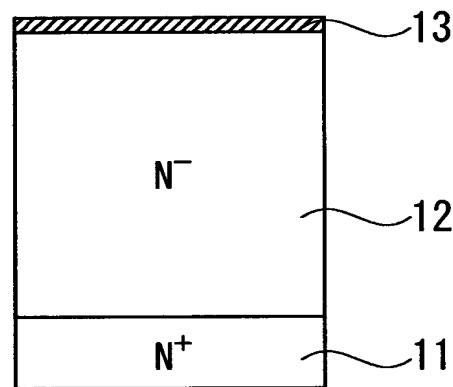


【図 2】

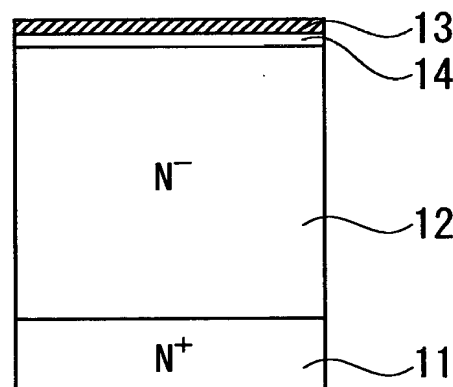
(a)



(b)

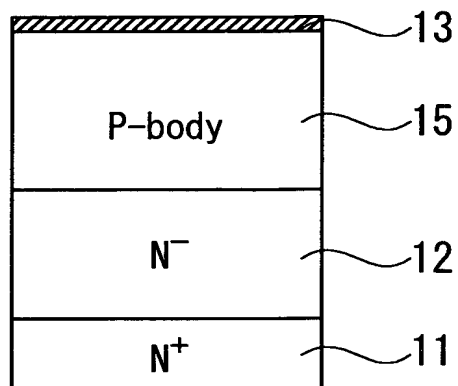


(c)

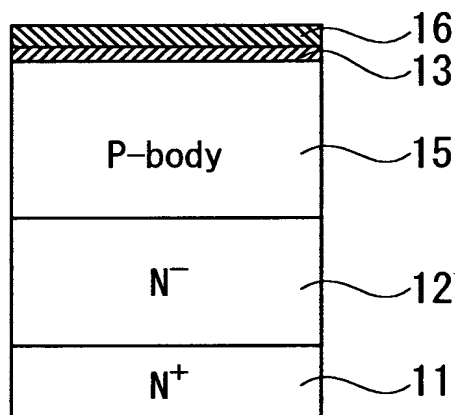


【図 3】

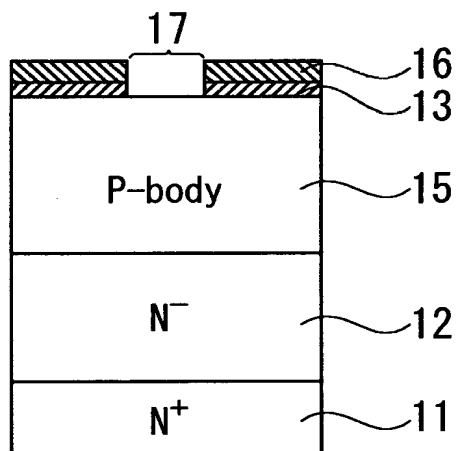
(d)



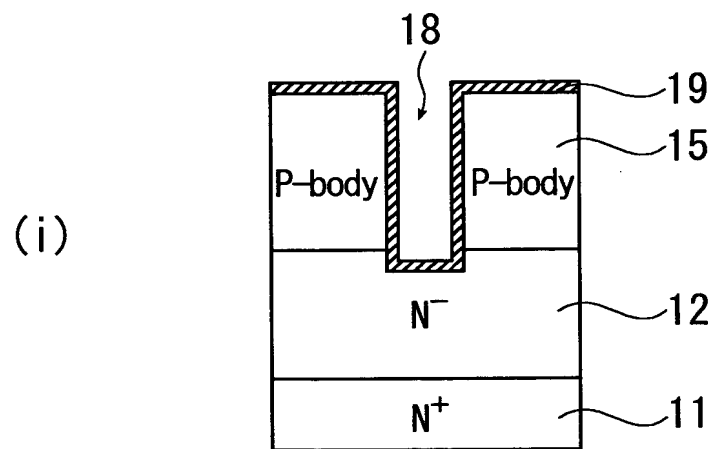
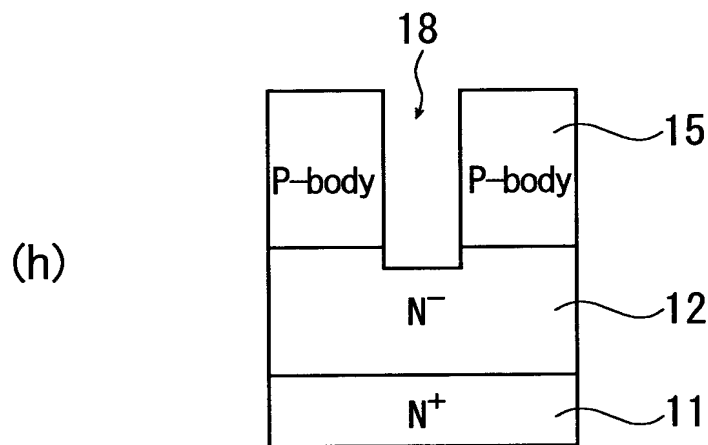
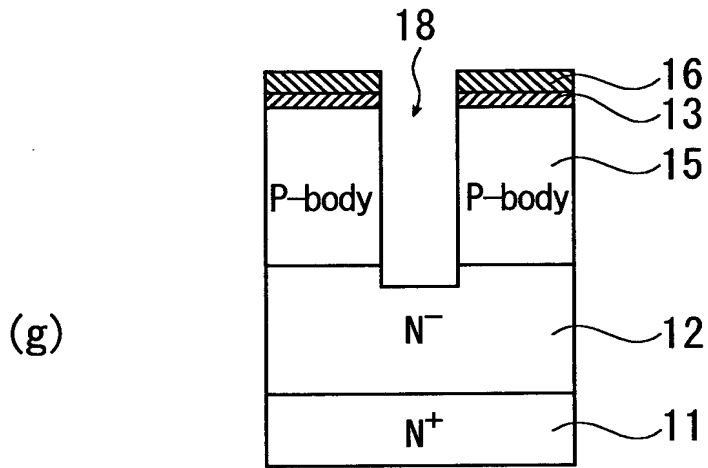
(e)



(f)

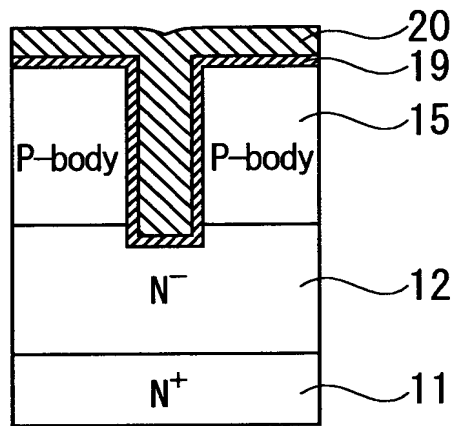


【図 4】

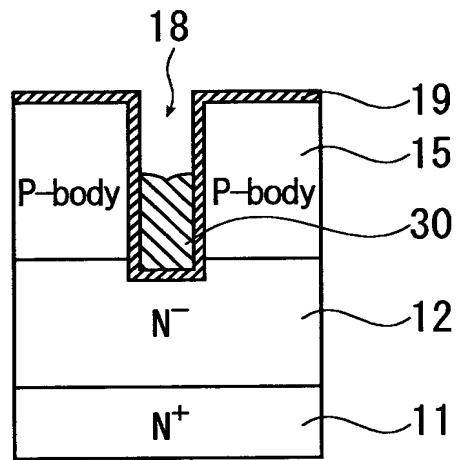


【図 5】

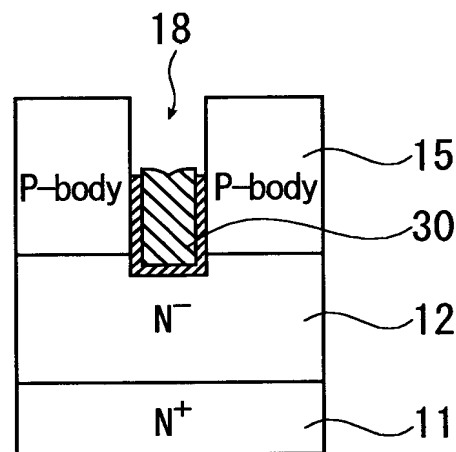
(j)



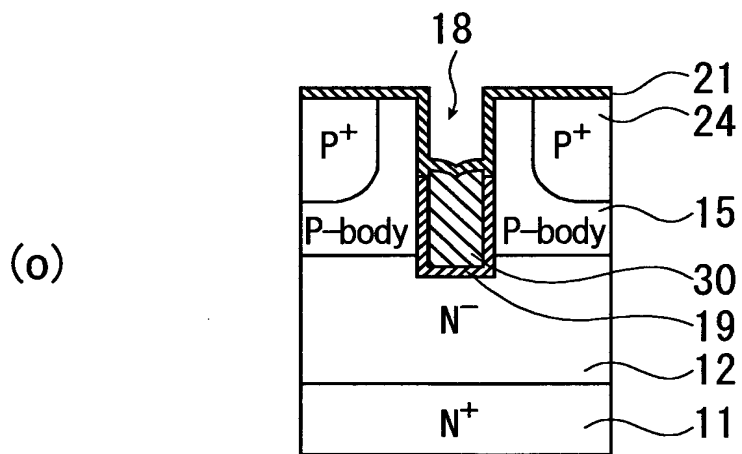
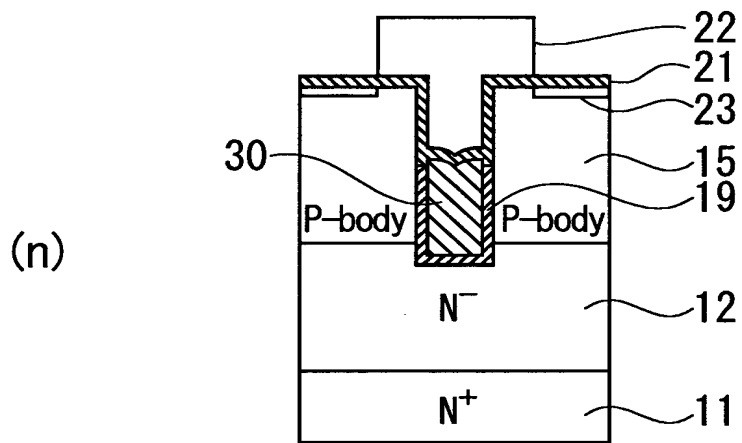
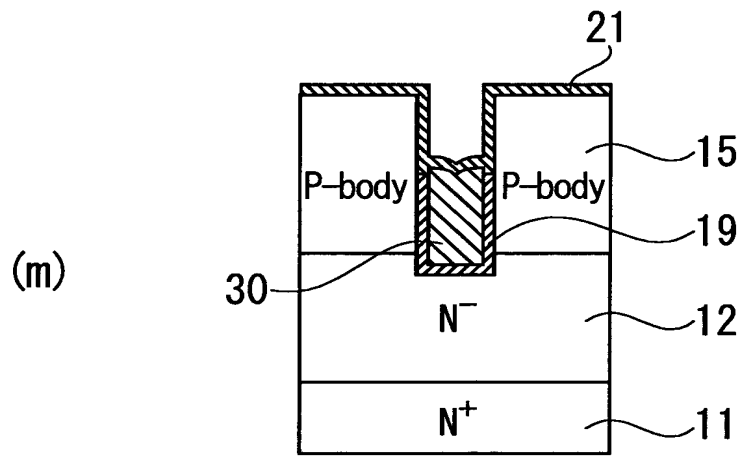
(k)



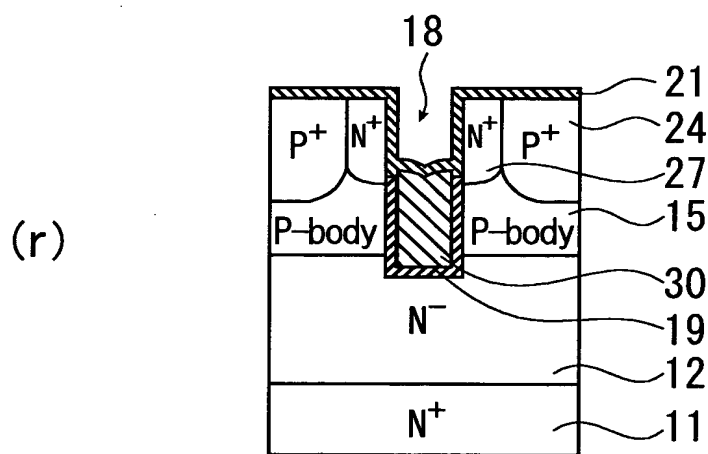
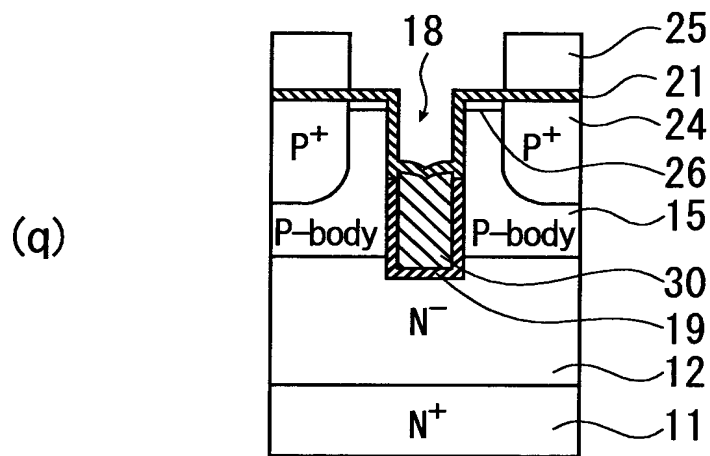
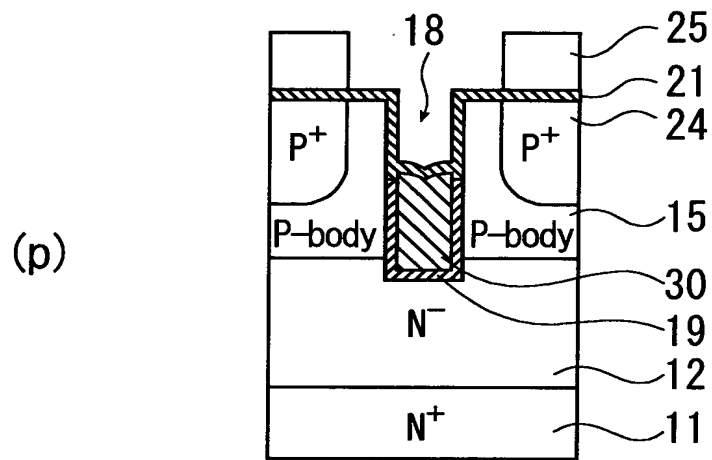
(l)



【图 6】

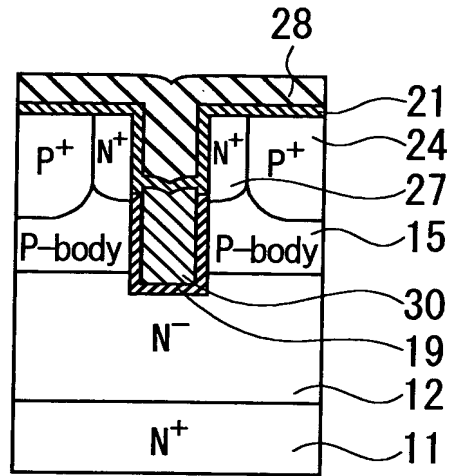


【図 7】

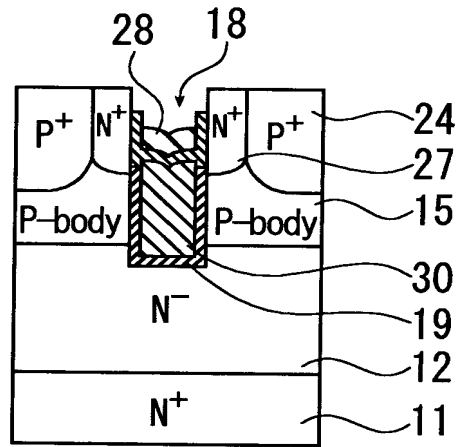


【図 8】

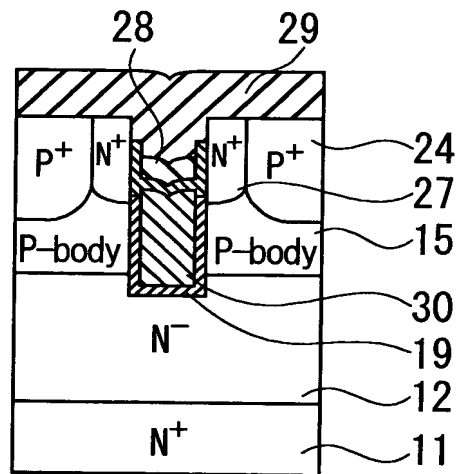
(s)



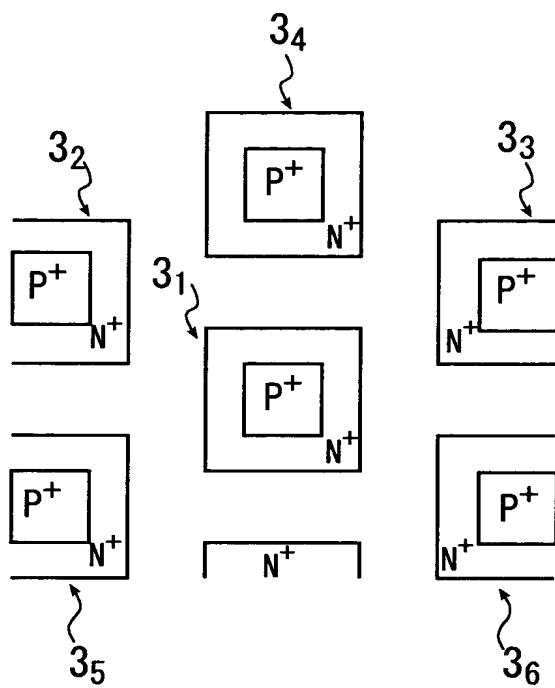
(t)



(u)

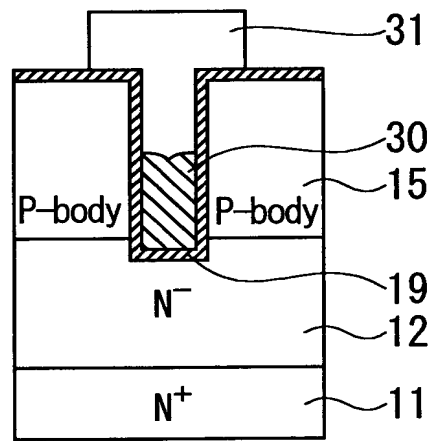


【図 9】

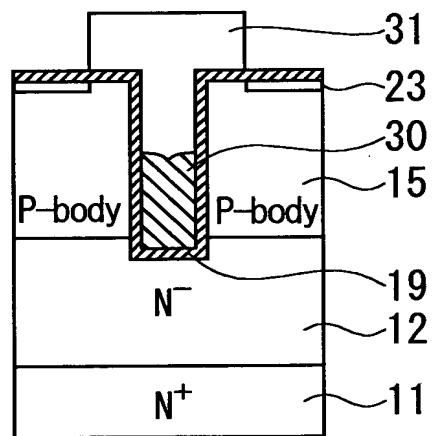


【図 1 0】

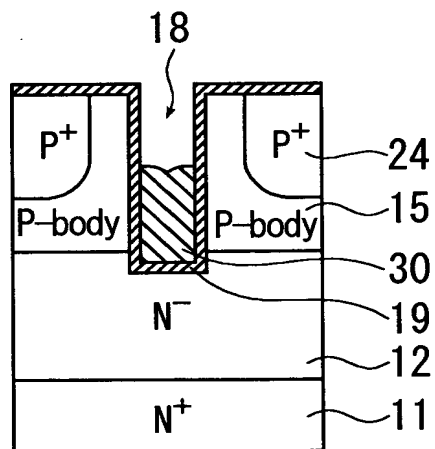
(l)



(m)

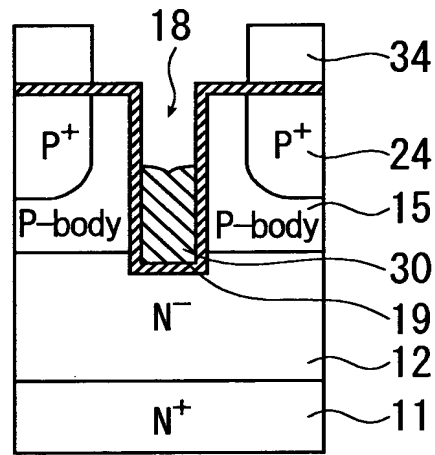


(n)

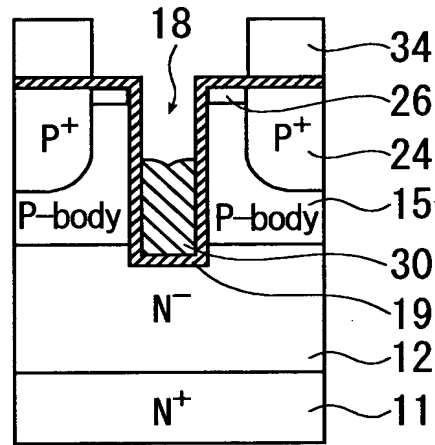


【図 1 1】

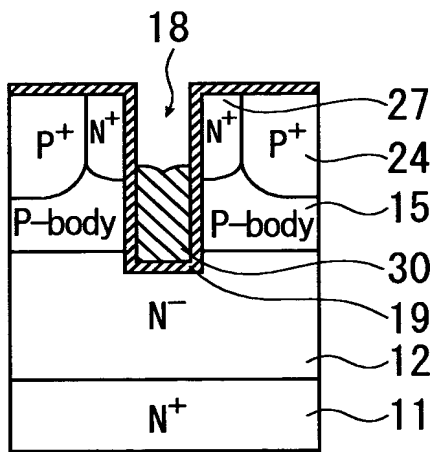
(o)



(p)

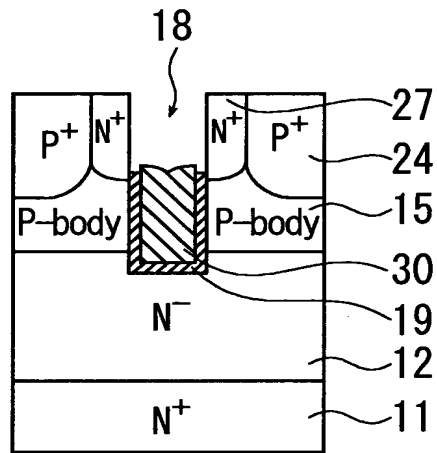


(q)

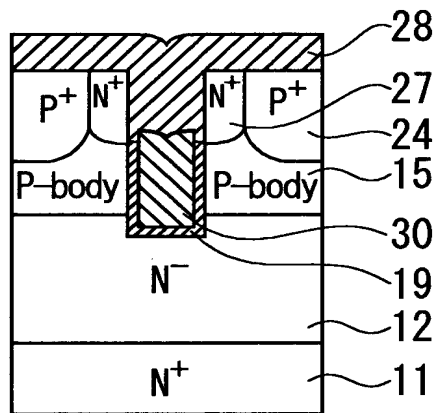


【図 1 2】

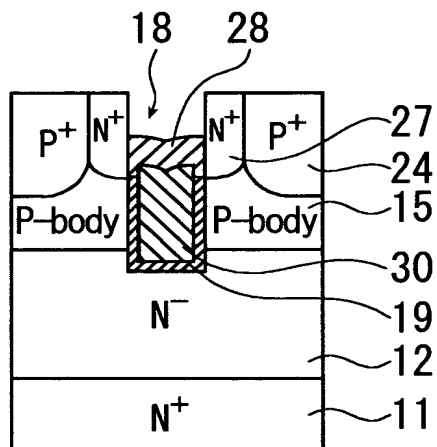
(r)



(s)

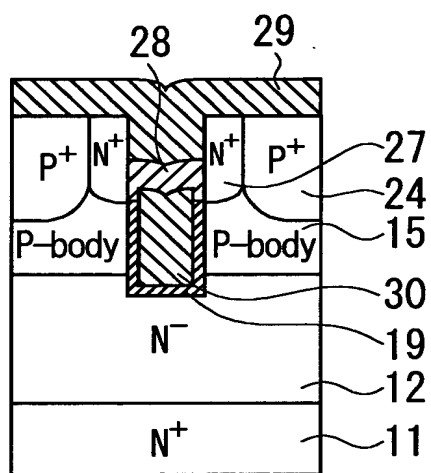


(t)

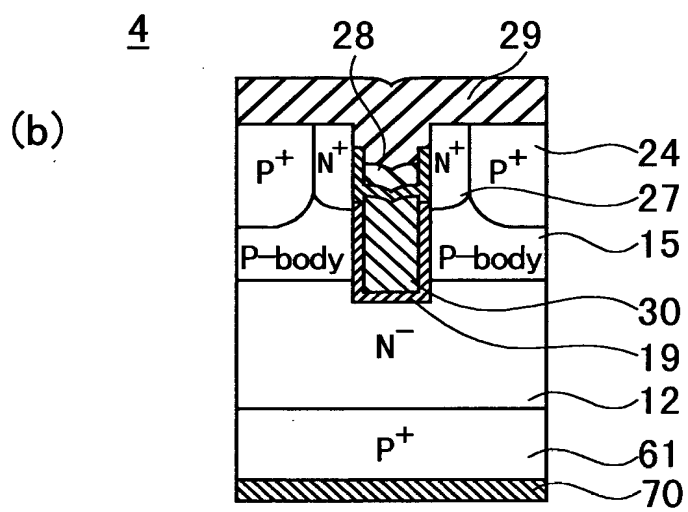
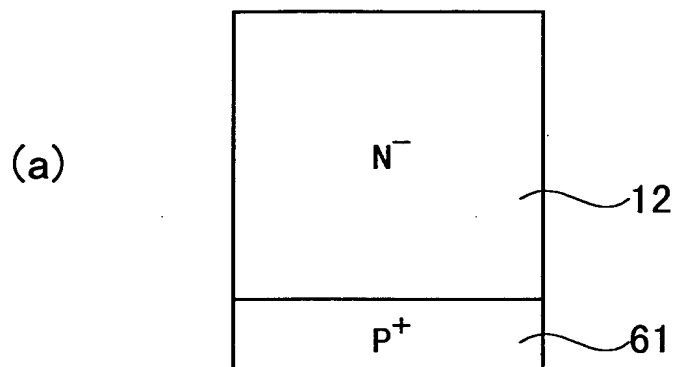


【図 1 3】

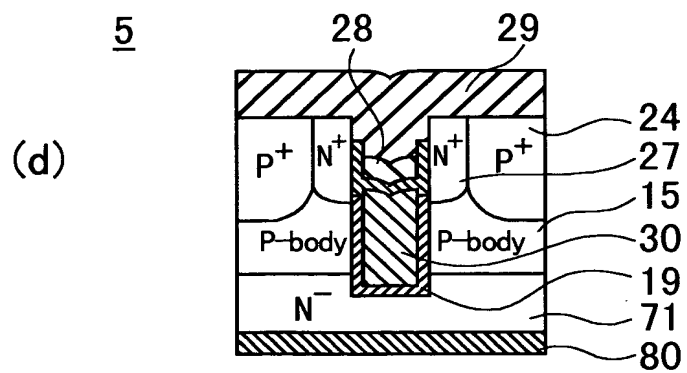
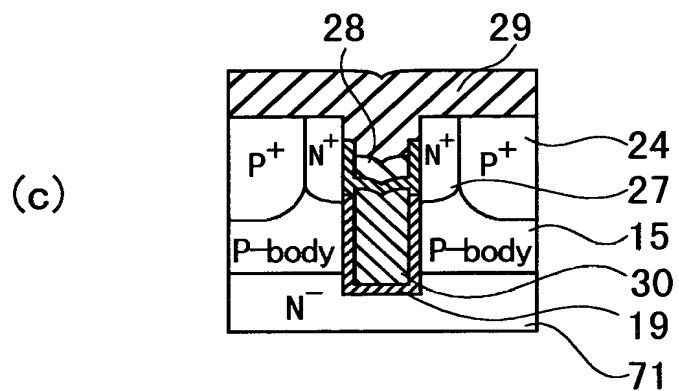
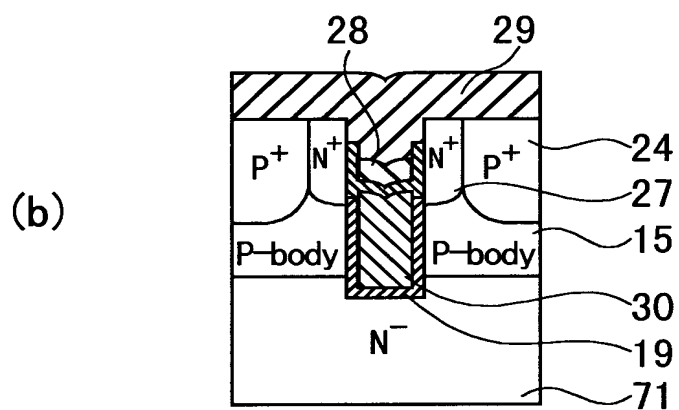
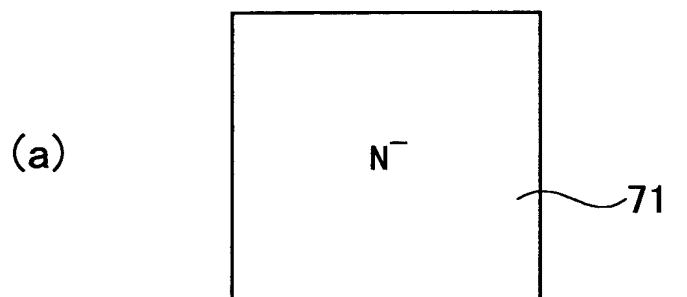
(u)



【図 1 4】



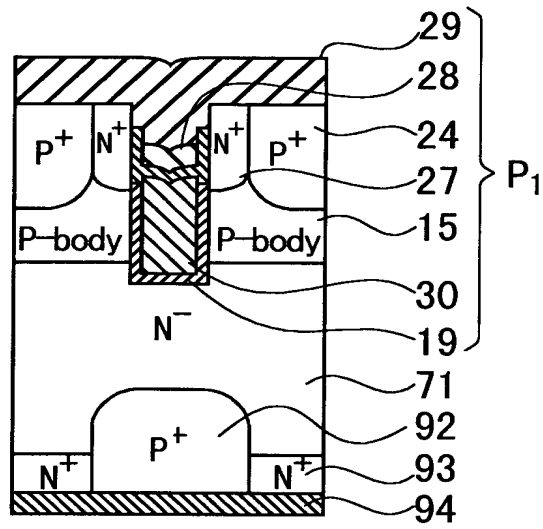
【図 1 5】



【図 1 6】

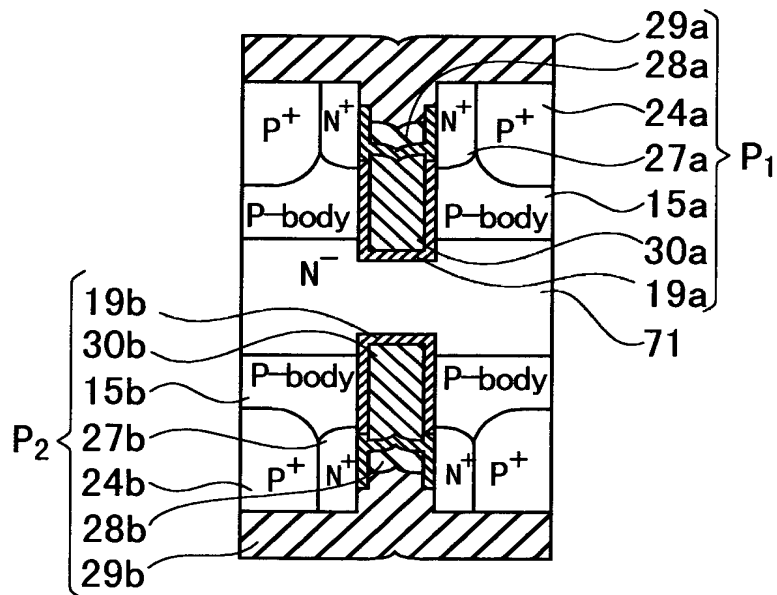
6

(a)



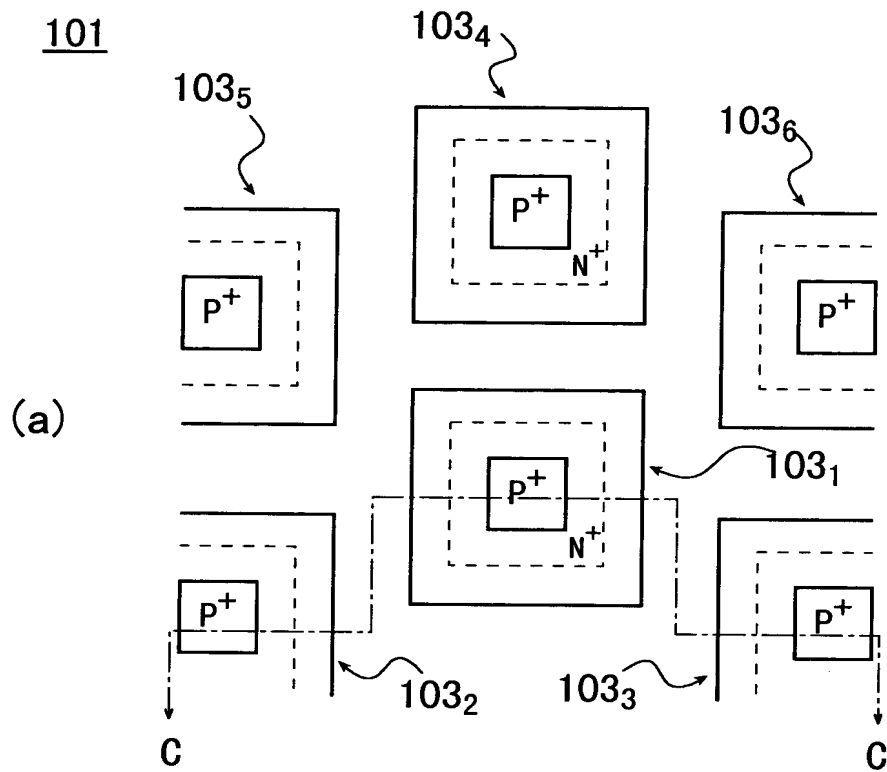
7

(b)

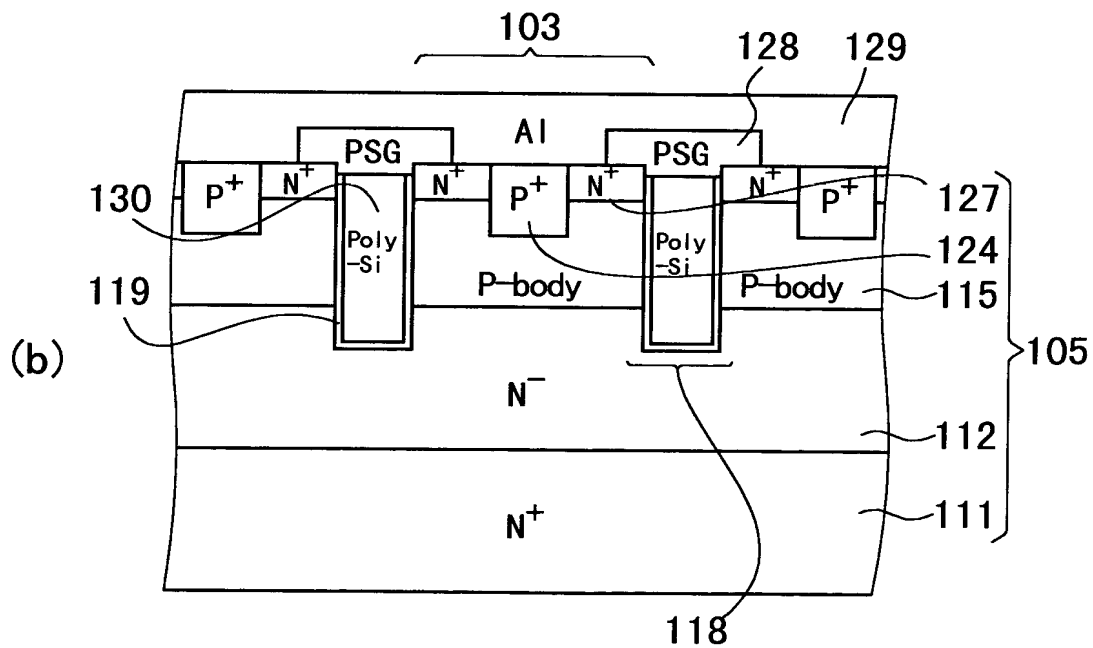


【図 1 7】

101



101



【書類名】 要約書

【要約】

【課題】 パワーMOSFETの面積縮小化が可能になる技術を提供する。

【解決手段】 本発明のパワーMOSFET 1 はトレンチ型であって、ソース領域 2 7 は基板表面 5 1 と、溝 1 8 の内周面 5 2 の両方で露出している。このため、ソース領域 2 7 は基板表面 5 1 のみならず、溝 1 8 の内周面 5 2 でソース電極膜 2 9 とコンタクトをとることができるので、基板表面のみで十分に低抵抗なソースコンタクトをとるため、ソース領域 2 7 の形成面積を大きくしていた従来に比して、素子の面積を小さくすることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第258687号
受付番号	59900889138
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成11年 9月16日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002037
【住所又は居所】	東京都千代田区大手町2丁目2番1号
【氏名又は名称】	新電元工業株式会社

【代理人】

申請人

【識別番号】	100102875
【住所又は居所】	東京都港区虎ノ門1丁目2番18号 虎ノ門興業ビル3階 石島・阿部特許事務所
【氏名又は名称】	石島 茂男

【選任した代理人】

【識別番号】	100106666
【住所又は居所】	東京都港区虎ノ門1丁目2番18号 虎ノ門興業ビル3階 石島・阿部特許事務所
【氏名又は名称】	阿部 英樹

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 0 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 東京都千代田区大手町 2 丁目 2 番 1 号

氏 名 新電元工業株式会社